

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-56009

(43)公開日 平成10年(1998)2月24日

(51)Int.Cl.⁶
H 0 1 L 21/316
21/768
21/31

識別記号 庁内整理番号

F I
H 0 1 L 21/316
21/90
21/95

技術表示箇所

M
M

審査請求 有 請求項の数11 OL (全8頁)

(21)出願番号 特願平9-145338
(22)出願日 平成9年(1997)6月3日
(31)優先権主張番号 特願平8-140003
(32)優先日 平8(1996)6月3日
(33)優先権主張国 日本 (JP)

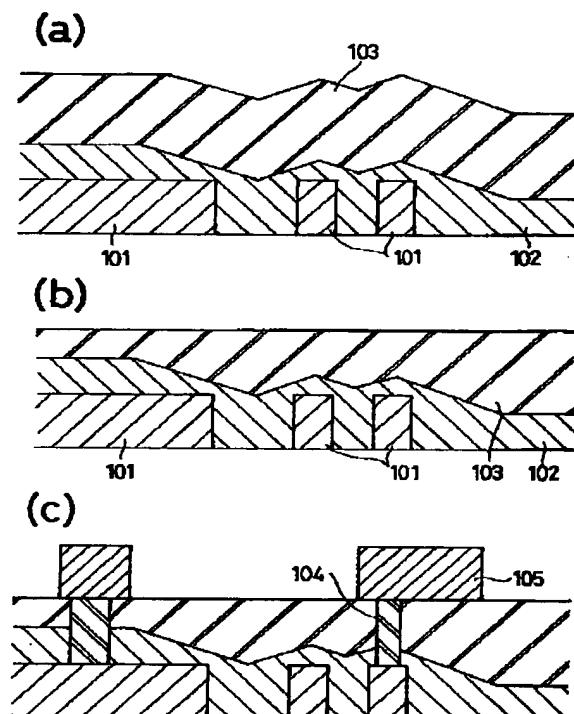
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 宇佐美 達矢
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72)発明者 石川 拓
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【課題】 多層配線構造において高集積化の際の層間膜容量増加防止とビアホール抵抗の増加防止

【解決手段】 本発明の半導体装置及び半導体装置の製造方法は第1の金属配線101が形成された半導体基板表面に第1の高フッ素濃度のフッ素含有プラズマ酸化膜102を形成する工程と、続いて第2の低フッ素濃度の耐湿性のないフッ素含有プラズマ酸化膜103を形成する工程と、化学的機械研磨を第2のフッ素含有プラズマ酸化膜のみに施す工程と、その開孔部に金属104を形成する工程と、第2の金属配線105を形成する工程を含みこれを1回または繰り返すことを特徴とすることにより、高集積化でも層間膜容量が増加防止およびビアホール抵抗の増加防止ができる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された複数の配線と、前記配線上に形成された第1のシリコン酸化膜と前記第1のシリコン酸化膜上に形成された第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜と前記第2のフッ素を含むシリコン酸化膜上に形成された第2のシリコン酸化膜と有することを特徴とする半導体装置。

【請求項3】 前記第1のフッ素を含むシリコン酸化膜の比誘電率が3.3以下であることを特徴とする請求項1または請求項2のおのおの記載の半導体装置。

【請求項4】 前記第2のフッ素を含むシリコン酸化膜の比誘電率が3.3を超えることを特徴とする請求項1または請求項2のおのおの記載の半導体装置。

【請求項5】 前記第1のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc以上であることを特徴とする請求項1または請求項2のおのおの記載の半導体装置。

【請求項6】 前記第2のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc未満であることを特徴とする請求項1または請求項2のおのおの記載の半導体装置。

【請求項7】 半導体基板上に配線を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程と、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に配線を形成する工程と、第1のシリコン酸化膜を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程と、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第2のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記第1のシリコン酸化膜及び、第2のシリコン酸化膜がプラズマシリコン酸化膜であることを特徴とする請求項7または8のおのおの記載の半導体装置の製造方法。

【請求項10】 前記第1のフッ素を含むシリコン酸化膜と第2のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする請求項7また

は8のおのおの記載の半導体装置の製造方法。

【請求項11】 前記第1のフッ素を含むシリコン酸化膜と第2のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする請求項7または8のおのおの記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、さらに詳しくは絶縁膜や層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路は、その微細化が進んでおり、特に論理回路においての多層配線では、その傾向が顕著に見受けられる。多層配線のメタル間隔が微細になってくると、その隣接する配線間容量が大きくなってしまい電気信号のスピードの低下を招いたりクロストーク（他の信号がノイズとして影響を与える現象）が発生する。

【0003】それを防止する対策の1つとしてメタル間絶縁膜の低比誘電率化する方法があり、最近では、従来使用していたプラズマCVD法によるシリコン酸化膜（比誘電率約4.3）（以下、p-SiO₂膜という）からフッ素含有プラズマシリコン酸化膜（比誘電率2.8~4.3）（以下p-SiOF膜という）への転換が注目されている。

【0004】p-SiOF膜はフッ素濃度を高くしていくと低い比誘電率化することができるが、あまりフッ素濃度を高くすると耐湿性が劣化してしまうという欠点がある。そのため耐湿性が劣化しないレベルのフッ素濃度では、比誘電率をそれほど低下させられない（比誘電率3.3程度）。

【0005】その欠点を解決するためのプラズマ自身を高密度にするという方法があり、たとえば'95SSDM p157に提案されている。

【0006】しかし、この方法ではフッ素濃度を今までの方法より高濃度にすることができるが、あるフッ素濃度以上になると膜が劣化してしまうため比誘電率が大幅には低下できなかった。

【0007】またデバイスとしてこのp-SiOF膜を使用する場合、その膜の平坦化は必須であり、そのp-SiOF膜を平坦化する方法として化学的機械研磨法（以下CMPと呼ぶ）を用いると前記耐湿性の問題が難点であり、その結果CMPを使用する場合は、さらに誘電率を上げざるを得なかった。

【0008】以上説明したとおり、今までCMPをp-SiOFプロセスで使用することは実際には困難な状態にある。

【0009】しかし、取りあえず公知例より推測し、C

MPを使用した実験例を2つ説明する。

【0010】従来例は図3に示すようにメタル上に直接p-SiOF膜を形成する例である。たとえば特開平6-333919に記載されているように第1のメタル301形成後ECR-CVD法で、SiF₄, O₂, Arの3つのガスを使用し、比誘電率3.0のフッ素濃度7×10²¹atoms/ccをウェハー面内にもつp-SiOF膜302を形成する。この膜を平坦化のためにCMPを行うと膜が水を吸湿してしまい誘電率が高くなってしまう。

【0011】さらに悪い場合であると多量に入ったフッ素はその結合が弱いため、FとH₂Oが反応してHFが発生し、メタルのコロージョンが発生したり、メタルが溶けてしまう現象が起こる。ここでは、フッ素濃度を1.0×10²¹atoms/cc程度まで下げた場合について説明する。

【0012】CMPでの処理の後には膜は図3-(b)のようになる。そして、膜にフォトレジストを塗布し、目合わせ露光により、フォトレジストをパターニングし、エッチング技術によりC₄F₈、CO、Arガスを使用したマグネットロンRIEエッチングにより開孔を行う。

【0013】さらに、TiN形成後ブランケットWCVDを行いエッチバックというフローでビアメタル303の形成を行う。その後第2のメタル304たとえばAl-Cu-TiNの連続スパッタを行い、それをフォトレジストにより、パターニングを行う。この操作を1回または複数回繰り返すことにより図3-(c)のように多層配線を形成する。

【0014】ここで問題なのは、p-SiOF膜のフッ素濃度が高い場合は、膜のCMP処理で膜が吸湿してしまい、また膜のフッ素濃度が低いと誘電率が高くなってしまうことである。

【0015】また次の例はp-SiOF膜の上下にSiO₂膜を挟むことにより、p-SiOF膜の吸湿性を抑え込む例である。特公平7-9372ではTEOS系(テトラエトキシオルソシリケート:以下同様)で製造したSiOF膜が記載してあるのでそれを使用して説明を行う。図4にそのフロー図を示す。

【0016】第1のメタル401形成後、第1のp-SiO₂膜402を形成し、その後フッ素系ガスを混合したTEOS系の原料を用いてフッ素含有のSiO₂膜(p-SiOF膜403)を形成し、その後また第2のp-SiO₂膜404を形成する方法が提案されている。

【0017】ここでは、プラズマSiOF膜は、耐温性に有利な、高密度プラズマCVD法でかつ、プラズマSiO₂膜高密度プラズマCVD法とした。

【0018】この方法を、従来例では平行平板型プラズマCVDを用いていたが、ここでは積層膜を高密度プラ

ズマCVD法で行ったことを想定してみる。

【0019】ここではSiOF膜のフッ素濃度を7×10²¹atoms/ccである。第1のメタル401形成後、高密度プラズマCVD法で、SiO₂/SiOF/SiO₂の連続成長を行うと、図4-(a)または(a)'に示すような形状となる。ここで図4-(a)に示すように中間層のp-SiOF膜403が厚い場合はCMP法処理を行った後は図4-(b)のようにp-SiOF膜403がむき出しになってしまふ。その結果、元々p-SiOF膜の吸湿を防止するためにp-SiOF膜をp-SiO₂膜でサンドイッチ構造としたのに、p-SiOF膜403がむき出しになるのでCMP処理で膜が水を吸い込んでしまう。その結果膜の誘電率を上げてしまう。

【0020】また、上記のようにならないために図4-(a)'のようにp-SiOF膜403を薄くして、第2のSiO₂膜404を厚くした場合は、CMP処理後、図4-(b)'のようにp-SiOF膜403はむき出しにはならない。しかしこれでは、隣接するメタル層間にp-SiO₂膜が入り込んでしまい誘電率が上がってしまうという不具合が発生する。

【0021】その後は上記の実験例1と同様ビアホール形成→ビアメタル形成→第2メタル形成と続き、形状はそれぞれ図4-(c)や(c)'のように多層配線が形成される。

【0022】図5には高密度プラズマCVDを用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と比誘電率との関係を、また図6には高密度プラズマCVDを用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と吸湿性との関係を示す。(1995年半導体集積回路シンポジウム予稿集第45頁)これらの図はシリコン酸化膜のフッ素含有量と誘電率、吸湿性との傾向の一例を示すものであり、フッ素含有率とこれらの性質は装置により若干数値が異なることがあり同じ割合を示すものとは限らないがシリコン酸化膜のフッ素含有量が誘電率、吸湿性に影響する傾向を示したものである。

【0023】第1の問題点は、実験例1, 2とも低比誘電率のp-SiOF膜がCMP処理されると、誘電率が高くなり、またはビアホール異常になる。さらに金属腐食が発生する。その理由は、低比誘電率のp-SiOFは、水にさらされると吸湿してしまい誘電率が上がり、ビアホール抵抗異常となる。また吸湿した水とフッ素が反応し金属の腐食が発生する。

【0024】第2の問題点は、実験例2で第1の問題点が発生しないように、SiO₂/SiOF/SiO₂構造の中間のp-SiOF層を薄くするとメタル層間の誘電率が上がってしまう。その理由は、メタル層間に占めるp-SiO₂の割合が多くなるからである。

【0025】

【発明の解決すべき課題】本発明の目的は、半導体集積

回路の特に多層配線構造において高集積化の際の層間膜容量の増加防止（低誘電率化の実現）と、ピアホール抵抗の増加防止等の信頼性向上を目的としている。

【0026】

【課題を解決する手段】上記目的を達成するために本願発明者は鋭意検討を行い本発明に到達した。即ち、本発明は以下の実施態様を包含する。

【0027】(1) 半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置を提供することである。

【0028】(2) 半導体基板上に形成された複数の配線と、前記配線上に形成された第1のシリコン酸化膜と前記第1のシリコン酸化膜上に形成された第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜と前記第2のフッ素を含むシリコン酸化膜上に形成された第2のシリコン酸化膜とを有することを特徴とする半導体装置。

【0029】(3) 前記第1のフッ素を含むシリコン酸化膜の比誘電率が3.3以下であることを特徴とする(1)または(2)のおののおのの記載の半導体装置。

【0030】(4) 前記第2のフッ素を含むシリコン酸化膜の比誘電率が3.3を超えることを特徴とする(1)または(2)のおののおのの記載の半導体装置。

【0031】(5) 前記第1のフッ素を含むシリコン酸化膜のフッ素濃度が $4 \times 10^{21} \text{ atoms}/\text{cc}$ 以上であることを特徴とする(1)または(2)のおののおのの記載の半導体装置。

【0032】(6) 前記第2のフッ素を含むシリコン酸化膜のフッ素濃度が $4 \times 10^{21} \text{ atoms}/\text{cc}$ 未満であることを特徴とする(1)または(2)のおののおのの記載の半導体装置。

【0033】(7) 半導体基板上に配線を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程と、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【0034】(8) 半導体基板上に配線を形成する工程と、第1のシリコン酸化膜を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第2のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0035】(9) 前記第1のシリコン酸化膜及び、

第2のシリコン酸化膜がプラズマシリコン酸化膜であることを特徴とする(7)または(8)のおののおのの記載の半導体装置の製造方法。

【0036】(10) 前記第1のフッ素を含むシリコン酸化膜及び第2のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする

(7)または(8)のおののおのの記載の半導体装置の製造方法。

【0037】(11) 前記第1のフッ素を含むシリコン酸化膜と第2のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする(7)または(8)のおののおのの記載の半導体装置の製造方法。

【0038】

【発明の実施の形態】本発明の半導体装置および半導体装置の製造方法は、第1の金属配線が形成された半導体基板表面に第1の高フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成し、続いて第2の低フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成する工程と、化

学的機械研磨を第2のフッ素含有プラズマシリコン酸化膜のみに施す工程と、所望の位置に開孔を行う工程と、の開孔部に金属を形成する工程と、第2の金属配線を形成する工程とを含み、それを1回または複数回繰り返すことを特徴とする(図1)。また、メタル種によっては、またプラズマSiOF膜の種類によっては、界面での密着性が悪いとか、反応が起こってしまうことが予想される。

【0039】その場合は、第1のメタル配線形成後第1のプラズマシリコン酸化膜を形成し、前記第1のp-SiOF膜を形成し、第2のp-SiOFを形成し、その後CMP処理を第2のp-SiOF膜のみに施す工程と、さらにその上より第2のp-SiO₂を形成する工程と、所望の位置に開孔を行う工程とその開孔部に金属を形成する工程と第2の金属配線を形成する工程を含み、それを1回または複数回繰り返すことを特徴とする(図2)。

【0040】本発明は、配線間容量を減らすため、少なくとも配線間には比誘電率がシリコン酸化膜よりも小さくても小さいフッ素含有シリコン酸化膜で埋め込み、さらに、上面に吸湿性はないが比誘電率の高いフッ素含有シリコン酸化膜が形成されているので、CMPを用いて平坦化しても吸湿による比誘電率の増大も起こらない。また後工程のピアホール工程を作成する時にも上層のフッ素含有シリコン酸化膜での吸湿がほとんどないピアホール抵抗増大不良が発生しない。

【0041】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0042】図1を参照して本発明の第1の実施例を説明する。図1-(a)のように第1のメタル101上に

バイアスECR-CVD法にて厚さ5000オングストロームの第1のp-SiOF膜102を形成し、さらに厚さ10000オングストロームの第2のp-SiOF膜103を形成した。ここで第2のp-SiOF膜103は 4.0×10^{21} atoms/cc未満のフッ素濃度であり、その下層の第1のp-SiOF膜102は、第1のp-SiOF膜よりも高い 4.0×10^{21} atoms/ccフッ素濃度をウェハー面内に持っていた。このプラズマSiOF/SiO₂積層構造は、連続で成長した方が理設性がよいが、高密度プラズマCVD法が稼働率上の問題があるとこなどがある場合は、別々に成長してもよい。その後CMP処理を、第2のp-SiOF膜のみを図1-(b)のように約4000オングストローム研磨する。この第2のプラズマSiOFのフッ素濃度では吸湿しない膜であることは我々の実験により確認されている。その後、この膜にフォトレジストを塗布し、目合わせ、露光を行い、フォトレジストをパターニングし、エッチング技術によりC₄F₈, CO, Arガスを使用したマグネットロンRIEエッチングによりp-SiOFの2層膜の開孔を行なった。

【0043】さらにバリア層としてTiN形成後ブランケットWCVD法により、タンゲステンを形成し、エッチバックを行い、ビアメタル104の形成を行なった。

【0044】その後、第2のメタル105、たとえばAlCu-TiNの連続スパッタを行い、それをフォトレジストによりパターニングを行なった。これを1回または複数回繰り返すことにより多層の配線を図1-(c)のように形成した。

【0045】以上のプロセスフローで、メタル層間容量を小さくでき、かつ膜の平坦化でき多層配線が可能となった。なお本実施例での第1のフッ素を含むシリコン酸化膜の比誘電率は3.0、第2のフッ素を含むシリコン酸化膜の比誘電率は3.5であった。

【0046】さらに第2の実施例について図面2を参照して詳細に説明する。第1の実施例でメタル上に直接p-SiOF膜を形成したが、メタルの種類やp-SiOF膜の種類によりメタルとp-SiOF膜との密着性が悪い場合や、メタルとp-SiOFの反応が起ってしまうなどのときは次に示す第2の実施例を使用するとよい。

【0047】図2-(a)に示すように、第1のメタル201上にバイアスECR-CVD法にて、第1のp-SiO₂膜202、第1のp-SiOF膜203、第2のp-SiOF膜204をそれぞれたとえば厚さ1000オングストローム、4000オングストローム、10000オングストローム成長を行なった。

【0048】第2のp-SiOF膜204のフッ素濃度は 4.0×10^{21} atoms/cc未満の範囲であり、その下層の第1のp-SiOF膜203のフッ素濃度は 4.0×10^{21} atoms/cc以上の部分をウェハー

面内の1部または全部を持った。

【0049】その後CMP処理を第2のプラズマSiOF膜204のみを厚さ約4000オングストローム研磨を行なった。この第2のプラズマSiOF膜のフッ素濃度では吸湿しない膜であることは我々の実験により確認されている。

【0050】その上に第2のp-SiO₂膜205を厚さ約2000オングストローム成長させた(図2-(b))。

10 【0051】その後、フォトレジストを塗布し、目合わせ露光によりC₄F₈, CO, Arガスを使用したマグネットロンRIEエッチングにより、SiO₂/SiOF2層/SiO₂の積層膜の開孔を行う。さらに第1の実施例同様、TiN形成後ブランケットW-CVDを形成し、エッチバックを行い、ビアメタル206を形成した。

【0052】その後、第2のメタル207、たとえばAlCu-TiNの連続スパッタを行いそれをフォトレジストによりパターニングを行なった。これを1回または20複数回繰り返すことにより多層配線を図2-(c)のように形成した。

【0053】以上が第2実施例であるが、第1、第2実施例を通じ、第1のメタル、第2のメタルは、AlCu-TiNの連続スパッタを使用しているが、Alへの添加物としては、Cuのほか、Si, Pd, Tiでもよい。またAlでなくとも、Cu, Agでもよい。さらに反射防止用にTiNを使用しているが、Ti, TiW, Cr, Siでもよい。またビアメタルとして、W-CVD/TiNを使用しているが、ビアのWの代わりにAlg, Cu, Alでもよい。また、バリアメタルとしては、Ti, TiW, Si, Crの単層またはその2種類以上の組み合わせでもよい。さらにp-SiOF膜を製造するガス種は、SiH₄+O₂+Ar+CF₄, SiH₄+O₂+Ar+C₂F₆, SiH₄+O₂+Ar+NF₃, SiF₄+O₂+Ar, SiF₄+SiH₄+O₂+Ar, TEOS+O₂+Ar+CF₄, TEOS+O₂+Ar+C₂F₆, TEOS+O₂+Ar+NF₃, TEFS(フロロトリエトキシラン:以下同様)+O₂+Ar, TEFS+SiH₄+O₂+Ar, TE

30 OS+SiF₄+Ar+O₂のうちいずれかまたはこの中よりArを抜いたものでもよい。埋設性向上のためArの代わりにXeにしても良く、また1層目と2層目に使用するガス種を代えてもよい。例えば、1層目をSiF₄+Ar+O₂、2層目をSiF₄+SiH₄+Ar+O₂を用いてもかまわない。

【0054】またp-SiOFは、13.56MHzの周波数を用いた平行平板のCVD法、13.56MHzと、400kHzの2周波を用いた平行平板のCVD法、2.45GHzの高周波と、13.56MHzのバイアスを使用したバイアスECR-CVD法、2.45

GHz、13.56MHzのICP-CVD法やヘリコンCVD法のいずれかのうち1つで行うが、バイアスECR-CVD法、ICP-CVD法やヘリコンCVD法等の高密度プラズマCVD法の方がよい。

【0055】さらにCMP後のSiOF膜の吸湿を完全になくすためCMP後に300~450℃の熱処理を追加してもよい。この処理の際の雰囲気は、O₂、N₂、H₂、バキューム中、Air、Heのうちいずれか1つまたは複数組み合わせでもよい。

【0056】またSiO₂やSiOF膜厚を実施例を示すため便宜上設定したが、CMP処理で第2のSiOFのみ処理するように設定すれば異なる膜厚の組み合わせでもよい。

【0057】また第2のp-SiOF膜をフッ素濃度4.0×10²¹atoms/cc未満の濃度とし、その範囲内でフッ素濃度が違った多層にしてもよい。また第1のp-SiOF層もフッ素濃度が4.0×10²¹atoms/cc以上のところがウェハー全面ではなくとも、ウェハーに1部存在すれば本発明のメリットがあるのでこのような実施態様も本願発明の範囲に含まれる。また、第2のp-SiOF膜をフッ素濃度4.0×10²¹atoms/cc未満と限定したがCMP処理で第2のp-SiOF膜が全部除去される領域に限りそれ以上のフッ素濃度の膜を使用することもできる。

【0058】本発明の方法では第1のフッ素を含むシリコン酸化膜の比誘電率は3.3以下、好ましくは3.2以下であり、その下限は2.8、好ましくは2.9である。また第2のフッ素を含むシリコン酸化膜の比誘電率は3.3を超え、好ましくは3.4以上であり、その上限は4.1、好ましくは3.9である。

【0059】また、本発明の方法では第1のフッ素を含むシリコン酸化膜のフッ素濃度は4.0×10²¹atoms/cc以上であり、好ましくは比6.0×10²¹atoms/cc以上であり、その上限は1.0×10²²atoms/cc、好ましくは8.0×10²¹atoms/ccである。

【0060】また第2のフッ素を含むシリコン酸化膜のフッ素濃度は4.0×10²¹atoms/cc未満、好ましくは2.0×10²¹atoms/cc未満であり、その下限は1.0×10²⁰atoms/ccである。

【0061】なお本実施例での第1のフッ素を含むシリコン酸化膜の比誘電率は3.0、第2のフッ素を含むシリコン酸化膜の比誘電率は3.5であった。

【0062】さらに、プランケットWCVD後実施例1、2ではエッチバックを行っていたがメタルCMPを行ってもよい。また選択W-CVDで行ってもよい。またp-SiOF膜のCMPと上記メタルのCMPの前に漏れ性改善のためO₂プラズマを行ってもよい。

【0063】また、第2の実施例のp-SiOF/p-

SiO₂の積層は埋設性改善のため特にバイアス高密度プラズマCVD法の場合は、連続成長で行う方がよい。

【0064】

【発明の効果】本発明の効果を以下に示す。

【0065】第1の効果は、p-SiOF膜をCMP処理してもp-SiOF膜自身耐湿性をもつため低誘電率なメタル層間膜を構築できる。その理由は、p-SiOF層を2層以上としCMP処理にさらされる上層をフッ素濃度4.0×10²¹atoms/cc未満としているので耐湿性があるためである。

【0066】第2の効果は、SiO₂/SiOF/SiO₂構造にしても比較的小さなメタル層間容量が得られる。その理由は、SiOF2層/SiO₂構造を形成した後CMP処理を行いその後SiO₂を形成しているため上層のSiO₂層がX方向に並んでいるメタル間の層間膜には入ってこないためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例のプロセスフロー図。

【図2】本発明の第2の実施例のプロセスフロー図。

【図3】従来の第1の実験例のプロセスフロー図。

【図4】従来の第2の実験例のプロセスフロー図。

【図5】フッ素含有シリコン酸化膜のフッ素含有量と誘電率の傾向を示す図。

【図6】フッ素含有シリコン酸化膜のフッ素含有量と吸湿性の傾向を示す図。

【符号の説明】

図1~図6において用いた符号は以下のものを示す。

101 第1のメタル

102 第1のp-SiOF膜

30 103 第2のp-SiOF膜

104 ピアメタル

105 第2のメタル

201 第1のメタル

202 第1のp-SiO₂膜

203 第1のp-SiOF膜

204 第2のp-SiOF膜

205 第2のp-SiO₂膜

206 ピアメタル

207 第2のメタル

40 301 第1のメタル

302 p-SiOF膜

303 ピアメタル

304 第2のメタル

401 第1のメタル

402 第1のp-SiO₂膜

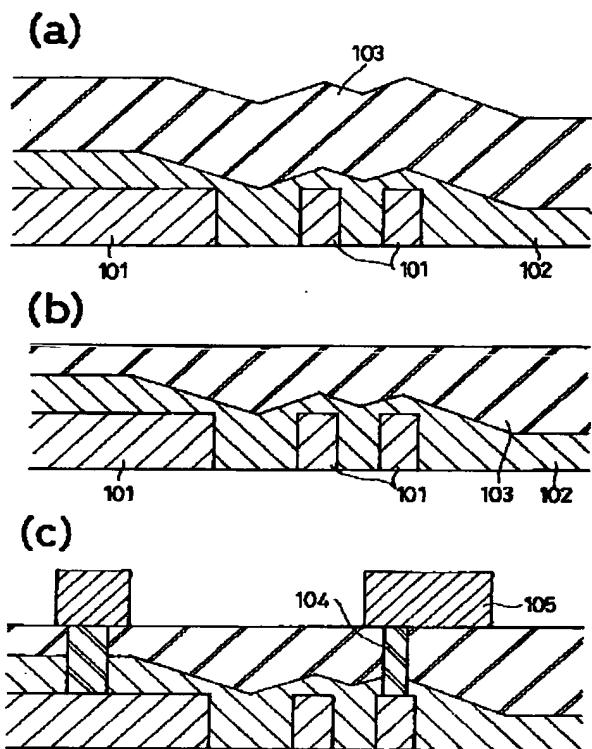
403 p-SiOF膜

404 第2のp-SiO₂膜

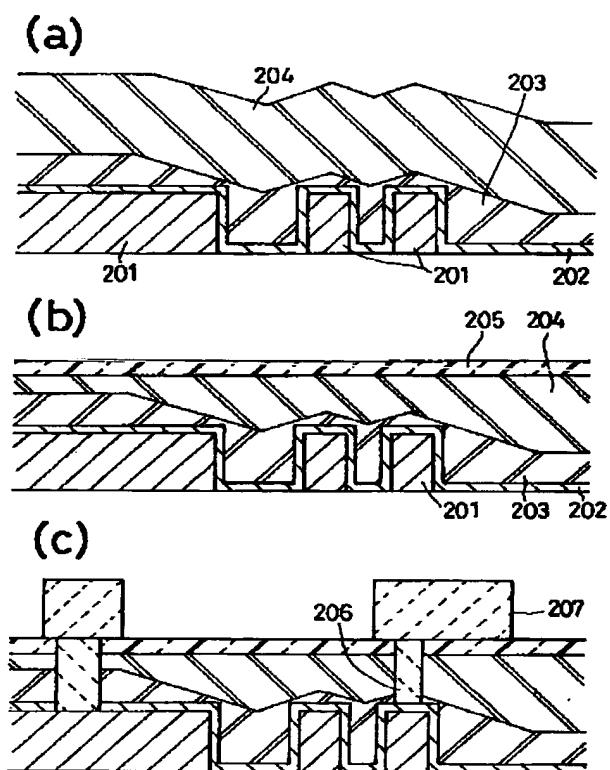
405 ピアメタル

406 第2のメタル

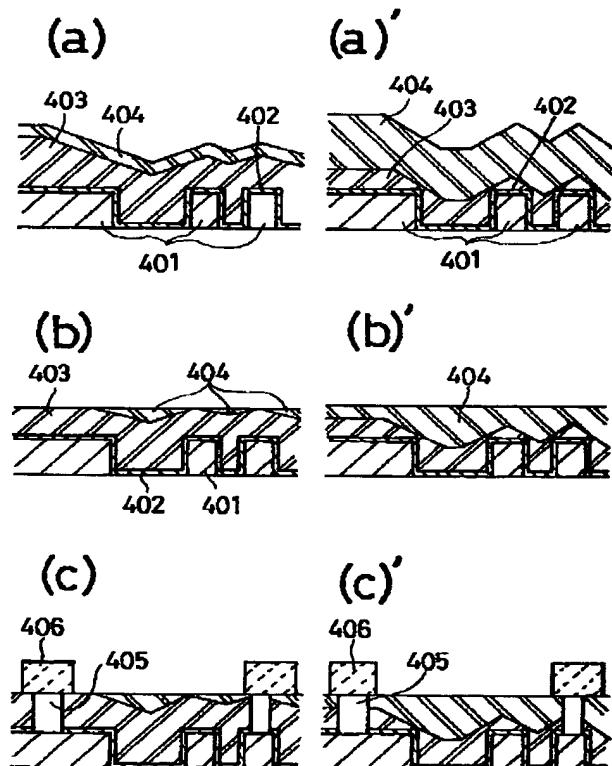
【図1】



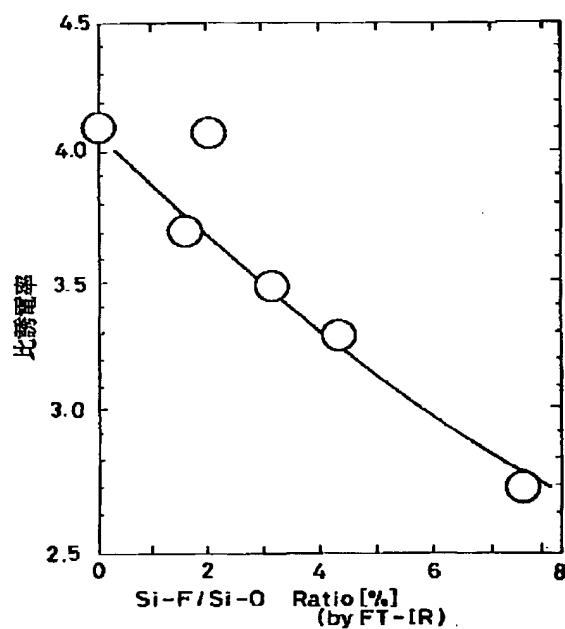
【図2】



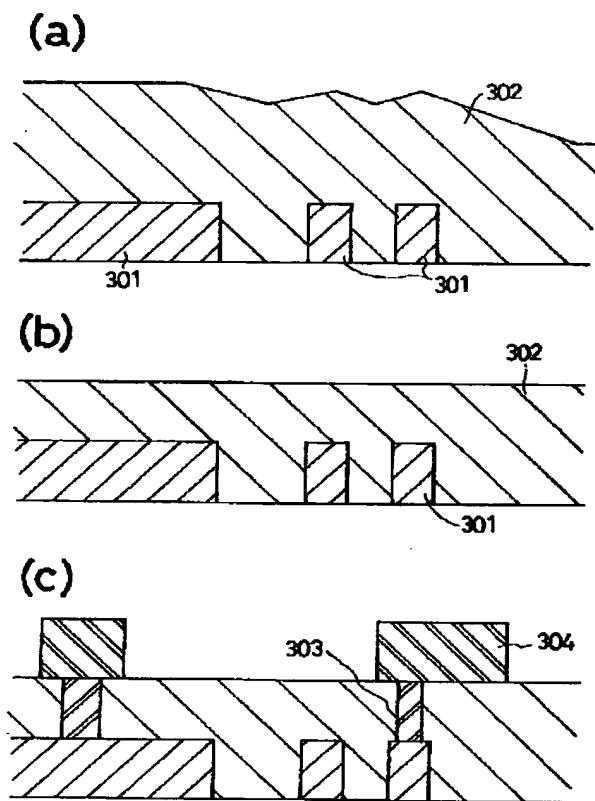
【図4】



【図5】



【図3】



【図6】

